

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

CLIPPEDIMAGE= JP410303385A

PAT-NO: JP410303385A

DOCUMENT-IDENTIFIER: JP 10303385 A

TITLE: HYBRID ELEMENT FORMED ON SIMOX OR STUCK SOI
SUBSTRATE AND METHOD FOR
PRODUCING THE SAME

PUBN-DATE: November 13, 1998

INVENTOR-INFORMATION:

NAME

TANAKA, TAKESHI

ASSIGNEE-INFORMATION:

NAME

TEXAS INSTR INC <TI>

COUNTRY

N/A

APPL-NO: JP09109598

APPL-DATE: April 25, 1997

INT-CL (IPC): H01L027/108;H01L021/8242 ;H01L027/12
;H01L029/786

ABSTRACT:

PROBLEM TO BE SOLVED: To highly integrally form
high-performance hybrid
elements.

SOLUTION: A silicon substrate 3 is exposed by selectively
removing a silicon
layer 1 and an insulating layer 2 from a
silicon-on-insulator(SOI) substrate,
and desired semiconductor elements 11 are respectively
formed on the exposed
silicon substrate 3 and the silicon layer 1. It is
preferable that a logic
circuit 13 of DRAM is formed on the silicon layer 1 and a
memory cell part 11
of DRAM is formed on the silicon substrate 3.

COPYRIGHT: (C)1998,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-303385

(43)公開日 平成10年(1998)11月13日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 27/108

H 0 1 L 27/10

6 7 1 C

21/8242

27/12

Z

27/12

27/10

6 8 1 F

29/786

29/78

6 2 6 C

審査請求 未請求 請求項の数6 O L (全 5 頁)

(21)出願番号

特願平9-109598

(22)出願日

平成9年(1997)4月25日

(71)出願人 590000879

テキサス インスツルメンツ インコーポ
レイテッドアメリカ合衆国テキサス州ダラス, ノース
セントラルエクスプレスウェイ 13500

(72)発明者 田中 剛

茨城県つくば市御幸が丘17番地 テキサ
ス・インスツルメンツ筑波研究開発センタ
ー内

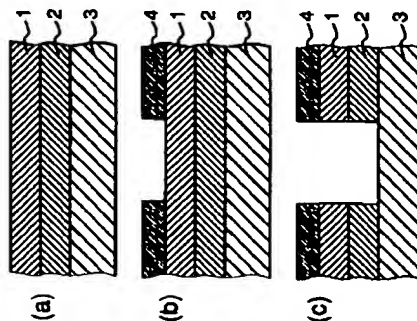
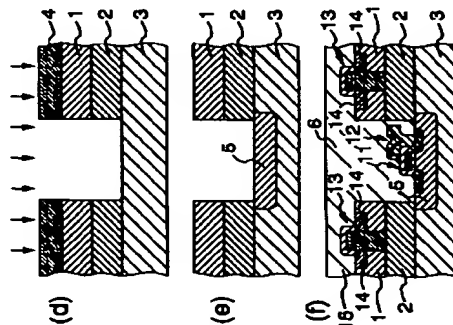
(74)代理人 弁理士 浅村 皓 (外3名)

(54)【発明の名称】 S I M O Xまたは貼り合わせS O I基板上に作成したハイブリッド素子及びその製造方法

(57)【要約】

【課題】 高性能なハイブリッド素子を高集積に形成する。

【解決手段】 S O I基板からシリコン層1及び絶縁層2を選択的に除去してシリコン基板3を露出させ、露出されたシリコン基板3とシリコン層1とにそれぞれ所望の半導体素子11を形成する。好ましくは、シリコン層1にDRAMのロジック回路13を、シリコン基板3にDRAMのメモリセル部11を形成する。



【特許請求の範囲】

【請求項1】 シリコン基板、絶縁層及びシリコン層を含むSOI基板に半導体装置を製造する方法であって、前記SOI基板を用意し、前記SOI基板から選択的にシリコン層及び絶縁層を除去し、前記シリコン基板を露出させ、前記露出されたシリコン基板と前記シリコン層とにそれぞれ半導体素子を形成することを特徴とする半導体製造方法。

【請求項2】 請求項1記載の半導体製造方法において、前記シリコン層に形成される半導体素子はダイナミックメモリの完全空乏型のトランジスタを含むロジック回路を含み、前記シリコン基板に形成される素子はダイナミックメモリのメモリセル部を含むことを特徴とする半導体製造方法。

【請求項3】 シリコン基板上にパターンニングしたマスク層を形成し、前記マスク層を含む前記シリコン基板に酸素イオンのイオン注入を行い、前記シリコン基板をアニールして所定の深さに埋め込み酸化膜を選択的に形成し、前記埋め込み酸化膜上のシリコン部分に完全空乏型のトランジスタを含むロジック回路を形成し、埋め込み酸化膜が形成されていないシリコン基板部分にダイナミックメモリのメモリセル部を形成することを特徴とする半導体装置の製造方法。

【請求項4】 シリコン基板、絶縁層及びシリコン層を含むSOI基板に形成された半導体装置であって、前記シリコン基板と前記シリコン層にそれぞれ形成された半導体素子を含むことを特徴とする半導体装置。

【請求項5】 請求項4記載の半導体装置において、前記シリコン層には完全空乏型のトランジスタを含むダイナミックメモリのロジック回路が形成され、前記シリコン基板にはダイナミックメモリのメモリセル部が形成されることを特徴とする半導体装置。

【請求項6】 請求項5記載の半導体装置において、前記メモリセル部はアクセストランジスタとキャパシタとからなるメモリセルアレイを複数備え、前記メモリセル部には基板バイアスが印加されることを特徴とする半導体装置

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、SIMOX(Separation by Implanted OXgen)または張り合わせSOI(Silicon On Insulator)基板を用いた半導体装置及びその製造方法に関し、特に、このような基板上にダイナミック・ランダムアクセス・メモリ(以下、DRAM)のメモリセルとロジック回路とを混在させたハイブリッド構造の製造方法に関する。

【0002】

【従来の技術】DRAMを含む多くの半導体装置は、そ

の素子サイズを微細化することにより高集積化と高性能化を実現してきた。しかし、微細化に伴う素子内部の電界の増大は、長期的な素子の信頼性の確保を困難としている。このため、素子が微細化するにしたがって電源電圧を小さくすることが必要となっている。また、バッテリーによる長時間の動作が期待される携帯機器の普及により低消費電力化へ向けて電源電圧を下げることが重要となっている。

【0003】

10 【発明が解決しようとする課題】しかし、電源電圧を下げる際に、トランジスタのしきい値電圧がスケールングされないと電流駆動能力が低下し、素子の性能を劣化させることになる。完全空乏型のSOI(以下、FDSOI)デバイスまたは素子は、シリコン層の膜厚を最大空乏層幅より薄くすることによって、しきい値電圧を下げる事が可能である。このため、電源電圧が下がったときにデバイスの電流駆動能力を劣化させることなく、低消費電力化が可能である。しかし、FDSOIデバイスは基板端子が取れないために、バルクデバイスで行っているような基板バイアスを印加することによってしきい値を高くし、カットオフ電流を低減することは困難である。

20 【0004】従って、DRAMのような電荷をキャパシタに保持することによって、情報を記憶するデバイスには適さない。一方、バルクデバイスは先に述べたように基板バイアスを印加することによって、カットオフ電流は低減できるが、電源電圧の低下に伴い、ドレイン領域の接合容量が大きくなることと、短チャンネル効果を抑制しながらの低しきい値電圧化が困難であるため、高速化を行うことは困難である。

30 【0005】本発明は、上述の問題点を解決するために為されたものであり、SOIデバイス及びバルクデバイスのそれぞれの長所を生かした半導体装置及びその製造方法を提供することを目的としている。

【0006】また、本発明は、SOI基板にダイナミックメモリを形成し、素子のスケールングとともに電源電圧及びトランジスタのしきい値を下げる事が可能な方法を提供することを目的とする。

【0007】

40 【課題を解決するための手段】従来のバルク基板上に作成されたハイブリッド素子では、DRAMの電荷の保持とロジック回路の高性能化を実現することは困難であったが、DRAMのメモリセルの部分を埋め込み酸化膜がない部分に形成し、完全空乏型SOIのトランジスタで構成されるDRAMのロジック回路を埋め込み酸化膜がある部分に形成することによって、DRAMでは電荷の保持を良くし、ロジック部では高速な回路を実現する。

【0008】

50 【発明の実施の形態】図1(a)ないし(f)は、本発明の第1の実施例に使用する工程断面図である。

【0009】本実施の形態では、SOIウエハを用いたDRAMの製造方法を説明する。

【0010】まず、図1(a)に示すように、単結晶シリコン層1がシリコン酸化膜2を介して単結晶シリコン基板3上に形成されたSOIウエハを用意する。最近のSOIウエハの代表的なものには、貼り合わせシリコンウエハと、SIMOXウエハがある。

【0011】貼り合わせシリコンウエハは、2枚のウエハを貼り合わせたものである。これは、単結晶シリコンウエハと酸化膜の形成されたシリコンウエハとを熱処理によって貼り合わせ、次に、一方のシリコンウエハをポリッシングして薄いシリコン単結晶層を絶縁膜(SiO₂)上に残すものである。

【0012】SIMOXウエハは、酸素イオンをシリコンウエハの表面から所定の深さにイオン注入し、これを熱処理することにより表面近傍下に埋め込まれた酸化膜を形成することによって、埋め込み酸化膜上にシリコン*

$$W = \frac{\sqrt{2\epsilon_0\epsilon_{si} \cdot 2\phi_F}}{qN_A}$$

ϵ_0 : 真空の誘電率: 8.85×10^{-14} [F/cm]

ϵ_{si} : シリコンの比誘電率: 11.9

N_A : チャンネル濃度

q : 1.6×10^{-19} [C]

$$\phi_F = \frac{kT}{q} \ln \frac{N_A}{n_i}$$

$$\frac{kT}{q} \approx 26 \text{ mV (約 } 27^\circ\text{C: } 300 \text{ K)}$$

n_i : 真性キャリア密度: $1.45 \times 10^{10} \text{ cm}^{-3}$ (シリコンについて)

【0016】ここで、シリコン層1のチャンネル濃度を $5 \times 10^{17} \text{ cm}^{-3}$ とすると、Wは約480オングストロームになる。従って、完全空乏型のSOIMOSFETを形成するには、シリコン層1の膜厚をこれよりも薄くする必要がある。

【0017】次に、図1(b)に示すように、一般的なホトリソ工程によってパターンニングされたレジストのマスク層4をSOI基板上に形成する。

【0018】次に、図1(c)に示すように、マスク層4をマスクとしてシリコン層1及びシリコン酸化膜2を異方性ドライエッチングにより除去し、シリコン基板3を露出させる。エッチングガスは、シリコンとシリコン酸化膜に対して選択性のあるガスを用いることが好ましい。この場合、シリコン/シリコン酸化膜/シリコンの積層構造となっているので、途中でエッチングガスを切り替えるようにしてもよい。また、エッチング後のダメージを除去するためのエッチングも施すことが好ましい。例えば、酸化膜とシリコンとの選択性を得るために、弗素系ガスに水素を添加することによって、酸化膜とシリコンの選択性のあるエッチングを行うことができる。弗素(F)は、シリコンと酸化膜のいずれもエッチ※50

*単結晶を形成することができる。

【0013】本実施の形態では、例えばシリコン基板3の厚さを約600 μm 、ボロン(B)のドーパントの不純物濃度を約 10^{15} cm^{-3} 、シリコン酸化膜2の厚さを約1000オングストローム、シリコン層1の厚さ約2000オングストローム、ボロンのドーパントの不純物濃度を約 10^{15} cm^{-3} にしたSOIを用意する。

【0014】シリコン層1は、完全空乏型のSOIMOSFETを形成するため、この後、犠牲酸化によって薄膜化される。最終的なシリコン層1の膜厚は、最大空乏層幅よりも薄くされる。最大空乏層幅は、チャンネルの濃度によって異なるので特定できないが、最大空乏層幅Wは、基板バイアスをかけないとき、以下の式に近似される。

【0015】

【数1】

30※ングする選択性の小さいエッチングを可能にし、他方、弗化水素(HF)は、シリコンに比べて酸化膜を非常に強くエッチングする選択性の高いエッチングを可能にする。つまり、水素が、反応系の弗素を消費するため、シリコンがエッチングされにくくなるためである。また、エッチングによるダメージを除去するためには、CDE (Chemical Dry Etching)を用いて、弗素ラジカル(低エネルギー)でダメージ層を除去するようにしてもよい。

【0019】次に、シリコン基板3内に素子形成領域としてのウエルを形成するために、マスク層4を介してシリコン基板3に対し、BF₃をドーザ量 $8 \times 10^{12} \text{ cm}^{-2}$ でイオン注入する(図1(d)参照)。マスク層4をアッシング除去した後、アニールを施して不純物を拡散させ、 5×10^{17} ないし $1 \times 10^{18} \text{ cm}^{-3}$ の不純物濃度を有するP型ウエル5を形成する(図1(e)参照)。

【0020】本実施の形態では、このようなSOI基板において、シリコン基板3のウエル5内にDRAMのメモリセル部分を形成し、シリコン層1にDRAMのメモリセル以外のロジック回路(入出力バッファ、アドレスデコーダ、センスアンプ回路等)を形成する。

【0021】メモリセルは、周知のように、ゲートをワ

ードラインに結合された1つのアクセストランジスタと、電荷を蓄積するための1つのキャパシタによって構成される。図1(f)に示すように、シリコン基板3のPウェル5内には、アクセス用のn型MOSトランジスタ11と、これと共通ノードであるソース領域に結合されたキャパシタ12が形成される。

【0022】シリコン基板3に形成されたMOSトランジスタ11は、通常のパルクシリコン基板上に形成したトランジスタと同様の動作をし、他方、シリコン層1のような薄膜である場合には、そこに形成されるトランジスタは、その空乏層がシリコン層の厚さで制限されるために完全空乏型として動作される。このため、ウェル5に対して基板バイアスを印加することで、そこに形成されたアクセス用のMOSトランジスタ11のしきい値を高くすることができる。従って、高集積化のために縮小されたアクセストランジスタのショート(短)チャネル効果を考慮しつつ、カットオフ電流を低減させ、メモリセルの電荷保持特性を良くすることができる。

【0023】基板バイアス発生回路は、発振回路とこれに接続されたポンプ回路で構成することができ、これらの回路は、後述するようにシリコン層1に形成し、その出力端をウェル5に接続するようにする。

【0024】なお、図面では、1つのトランジスタと1つのキャパシタからなるメモリセルを例に示しているが、このようなメモリセルを行列状に配置させメモリアレイを形成することができる。この場合、ウェル内に形成される各メモリセルの素子領域は、周知のフィールド酸化膜あるいはトレンチなどによって電氣的に絶縁される。

【0025】埋め込み酸化膜2上のシリコン層1には、行列アドレスデコーダ、センス増幅器、入出力バッファ、各種駆動回路、制御回路などのロジック回路が形成される。図1(f)には、そのようなロジック回路を構成するMOSトランジスタ13が示されている。シリコン層1に形成されたトランジスタは完全空乏型として動作されるため、そのしきい値を低下させることができ、これによって高速化を図ることができる。

【0026】これらのトランジスタは、周知の形成プロセスによって、例えば、ポリシリコンゲートをマスクとして、所定の導電型のドーパントをイオン注入し、シリコン層1内に自己整合的にソース・ドレイン領域14を形成する。15は、パッシベーション膜である。

【0027】また、シリコン層1とシリコン基板3間には予め段差が生じるので、ロジック回路とメモリセルとの間の電氣的な配線接続(例えば、アクセス用トランジスタのゲートとワード線駆動回路の配線)に支障を来さないように平坦性を持たせることが望ましい。特に、高集積化に伴いメモリセルのキャパシタの電荷容量を保障するため、キャパシタは三次元的な構造を有するので、そのような場合には、シリコン酸化膜2の厚さによって

段差を調整するようにしてもよい。

【0028】次に、図2(a)ないし(g)に示す工程断面図を用いて本発明の第2の実施例を説明する。

【0029】まず、図2(a)に示すように、P型の単結晶シリコン基板21上にバターニングを施したマスク層22を形成する。

【0030】次に、図2(b)に示すように、マスク層22をマスクにして酸素イオンをイオンインプランテーションによりシリコン基板21内に打ち込む。

【0031】次に、図2(c)に示すように、マスク層22を取り除き、その後、約1300度で6時間程度のアニール処理を行い、シリコン基板21内に約1000オングストロームの埋め込み酸化膜23を形成する。

【0032】次に、図2(d)に示すように、素子分離のための酸化膜24を形成する。これは、一般的なシリコン窒化膜をバターニングし、シリコン基板21を選択酸化させる。この場合、シリコン基板21のシリコンがシリコン酸化膜に供されるため、酸化膜24が埋め込み酸化膜23と接続されるように基板内に成長する。こうして、酸化物23、24によって電氣的に絶縁された素子領域25(約400オングストロームの厚さ)を形成するSOI構造が得られる。

【0033】次に、図2(e)に示すように、SOI部分をマスクするマスク層26を形成し、シリコン基板21の全面に BF_3 をイオン注入し、マスク層26以外のシリコン基板領域に不純物領域を形成する。その後アニールを施し、シリコン基板内にP型のウェル27を形成する。

【0034】次に、図2(g)に示すように、埋め込み酸化膜23があるシリコン層の部分には完全空乏型のトランジスタ28で構成されるロジック回路を形成し、シリコン基板21にはDRAMのメモリセル29を形成し、その上にパッシベーション膜30を形成する。

【0035】第2の実施例の場合には、ロジック回路が形成される領域とメモリセルが形成される領域は同一平面である一方、それらの空乏層が形成されるべきシリコン層の厚さが異なる。

【0036】

【発明の効果】本発明においては、SIMOXまたは張り合わせSOI基板を用いて、DRAMのメモリセルをシリコン層及び埋め込み酸化膜をエッチングで取り除いた後のシリコン基板上に形成し、完全空乏型SOIのトランジスタで構成されるロジック回路をシリコン層に形成することによって、カットオフ電流を低減でき、電荷の保持を良好にすると共にロジック回路を高速に動作させることを同一ウェーハ上で可能にする。

【図面の簡単な説明】

【図1】(a)ないし(f)は本発明の第1の実施の形態による半導体製造工程を示す図である。

【図2】(a)ないし(g)は本発明の第2の実施の形

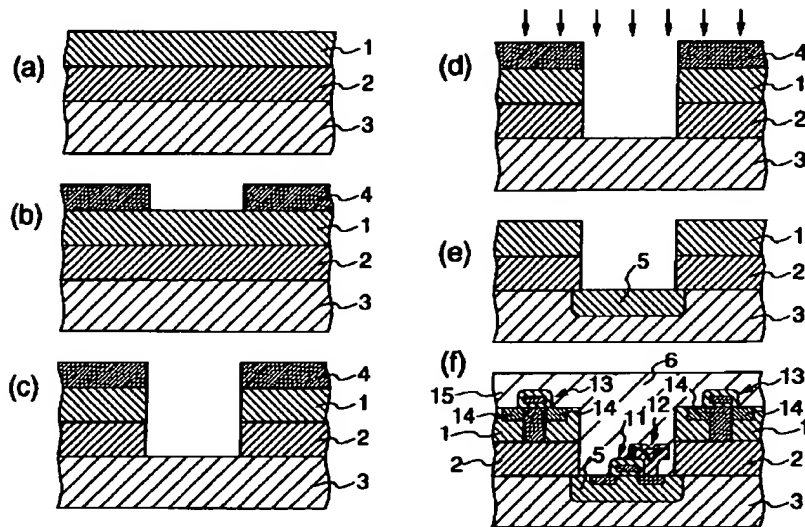
態による半導体製造工程を示す図である。

【符号の説明】

- 1 シリコン層
2 シリコン酸化膜

- 3 シリコン基板
11 アクセストランジスタ
12 キャパシタ
13 トランジスタ

【図1】



【図2】

